



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1 9 9 9 年 3 月 1 6 日

出 願 番 号
Application Number:

平成 1 1 年 特 許 願 第 0 7 0 4 1 9 号

出 願 人
Applicant (s):

三洋電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 0 年 3 月 1 0 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦





IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

02 DO
#5/Priority
Paper
T. Heaster
7/31/00

APPLICANT: KOJI SUZUKI)
SERIAL NO.: 09/527,534) Group Art Unit:
FILED: March 16, 2000) Examiner:
FOR: METHOD OF MANUFACTURING)
THIN FILM TRANSISTOR)

CLAIM FOR PRIORITY

The Assistant Commissioner for
Patents and Trademarks
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japanese Patent Application No. Hei 11-070419 filed on March 16, 1999. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicant's hereby claim the benefit of the filing date of March 16, 1999 the Japanese Patent Application No. Hei 11-070419, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

I HEREBY CERTIFY THAT THIS CORRESPONDENCE
IS BEING DEPOSITED WITH THE UNITED STATES
POSTAL SERVICE AS FIRST CLASS MAIL IN AN
ENVELOPE ADDRESSED TO:
ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D. C. 20231
ON April 13, 2000
DATE OF DEPOSIT
Jennifer Matson
(TYPED OR PRINTED NAME OF PERSON MAILING PAPER OR FEE)
J Matson 4113100
SIGNATURE DATE

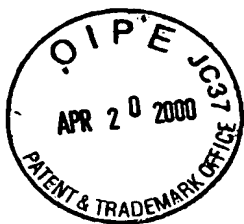
Respectfully submitted,

KOJI SUZUKI

CANTOR COLBURN LLP
Applicant's Attorneys

By: Edward J. Ellis
Edward J. Ellis
Registration No. 40,389
Customer No. 23413

Date: April 13, 2000



Translation of Priority Certificate

**PATENT OFFICE
JAPANESE GOVERNMENT**

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application:

March 16, 1999

Application Number:

**Patent Application
No. Hei 11-070419**

Applicant(s):

SANYO ELECTRIC CO., LTD.

March 10, 2000

**Commissioner, Patent Office
Takahiko Kondo**

Priority Certificate No. 2000-3014522

【書類名】 特許願

【整理番号】 KHB0991034

【提出日】 平成11年 3月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/12

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社
社内

 【氏名】 鈴木 浩司

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 近藤 定男

【代理人】

 【識別番号】 100076794

 【弁理士】

 【氏名又は名称】 安富 耕二

 【連絡先】 0 3 - 5 6 8 4 - 3 2 6 8 知的財産部駐在

【選任した代理人】

 【識別番号】 100107906

 【弁理士】

 【氏名又は名称】 須藤 克彦

【手数料の表示】

 【予納台帳番号】 013033

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9702954

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタの製造方法

【特許請求の範囲】

【請求項 1】 基板上に、半導体膜、第 1 のゲート絶縁膜、第 2 のゲート絶縁膜及びゲート電極を順に形成して成る薄膜トランジスタの製造方法であって、前記ゲート電極をマスクとして前記第 1 のゲート絶縁膜上の第 2 ゲート絶縁膜をエッチングして除去した後に、更に前記ゲート電極をマスクとして前記半導体膜にイオン注入して加熱処理することを特徴とする薄膜トランジスタの製造方法。

【請求項 2】 前記第 1 のゲート絶縁膜はシリコン酸化膜であり、前記第 2 のゲート絶縁膜はシリコン窒化膜であることを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】

近年、アクティブマトリクス方式 LCD (Liquid Crystal Display: 液晶表示装置) の画素駆動素子として透明絶縁基板上に形成された p-Si 膜を能動層として用いた薄膜トランジスタ (Thin Film Transistor、以下、「TFT」と称する。) の開発が進められている。

【0003】

多結晶シリコン TFT (Poly-Silicon Thin Film Transistor: 以下、「p-Si TFT」と称する。) は、非晶質シリコン膜を能動層とした非晶質シリコン TFT (Amorphous Silicon Thin Film: 以下、「a-Si TFT」と称する。) に比べ、電界移動度が大きく駆動能力が高いという利点を有するため、p-Si TFT を用いれば高性能の LCD を実現できる上に、画素部だけでなく周辺駆動回路までを同一基板上に一体に形成することができる。

【0004】

このような p-Si TFT において、能動層としての p-Si 膜にソース領域及びドレイン領域を形成するためなどに、両領域にイオン注入を行った後にその活性化のために熱処理を行っている。

【0005】

以下に従来の TFT の製造方法について説明する。

【0006】

図 3 に従来の TFT の製造方法にて作製した TFT の断面図を示す。

【0007】

同図に示すように、 SiO_2 膜から成る第 1 のゲート絶縁膜 13 及びその上に形成した SiN 膜から成る第 2 のゲート絶縁膜 14 が、p-Si 膜 12 を含む基板全面に形成されている。

【0008】

図 4 に従来の TFT の製造工程断面図を示す。

【0009】

工程 1 (図 4 (a)) : 石英ガラス、無アルカリガラス等からなる絶縁性基板 10 上に、絶縁性保護膜である SiO_2 膜 11 をプラズマ CVD 法を用いて形成する。その SiO_2 膜 11 の上にプラズマ CVD 法にて a-Si 膜 12 を形成する。そして、その a-Si 膜 12 の表面に XeCl エキシマレーザビームを走査しながら照射してアニール処理を行って a-Si 膜 12 を熔融再結晶化することにより p-Si 膜 12 に改質した後、能動層となる p-Si 膜 12 を島化エッチングする。

【0010】

工程 2 (図 4 (b)) : p-Si 膜 12 の上に、CVD 法にて SiO_2 膜から成る第 1 のゲート絶縁膜 13 及び SiN 膜から成る第 2 のゲート絶縁膜 14 を全面に形成する。SiN 膜 14 上に、クロム (Cr)、モリブデン (Mo) などの高融点金属からなる導電材料をスパッタ法を用いて成膜し、ホトリソグラフィ技術及び RIE 法によるドライエッチング技術を用いて半導体膜 12 と重畳するようにゲート電極 15 を形成する。

【0011】

その後、ゲート電極15をマスクとして、 $p-Si$ 膜12に対して第1及び第2のゲート絶縁膜13、14を通してP型またはN型のイオン注入16をする。このイオン注入16は、形成すべきTFTのタイプに応じて、ゲート電極15に覆われていない $p-Si$ 膜12にP型またはN型の不純物イオンを注入する。こうして、ゲート電極15の下方の $p-Si$ 膜12は真性又は実質的に真性な $p-Si$ 膜12となる。

【0012】

工程3（図4（c））： $p-Si$ 膜12よりも狭い幅にゲート電極15及び第2の絶縁膜14を覆うレジスト17を形成する。その後、このレジスト17をマスクとしてイオン注入18を行う。こうして、不純物イオンが低濃度に注入された領域、いわゆるLDD（Lightly Doped Drain）領域12LDと、不純物イオンが高濃度に注入された領域、即ちソース12s及びドレイン12dが形成される。

【0013】

これにより、ゲート電極15の下層の $p-Si$ 膜12のうち、ゲート電極15直下はチャンネル12cとなり、ゲート電極両側の部分がソース12s及びドレイン12dとなる。

【0014】

工程4（図4（d））：そして、レジスト17を除去した後、 $p-Si$ 膜12を含む基板10全面に、 SiN 膜19及び SiO_2 膜20をプラズマCVD法を用いて順に積層し、 SiN 膜19及び SiO_2 膜20の2層からなる層間絶縁膜を形成する。

【0015】

この SiN 膜19及び SiO_2 膜20を形成した後、ソース12s及びドレイン12dに対応した位置に層間絶縁膜を貫通する第1のコンタクトホール30を $p-Si$ 膜12に到達するよう形成し、この第1のコンタクトホール30部分に、アルミニウム等の金属からなるソース電極21及びドレイン電極22を形成する。

更にその上に、有機樹脂等から成る平坦化絶縁膜23を堆積する。そして、その

平坦化絶縁膜23のソース電極21に対応した位置にコンタクトホール32を形成して、そこに透明電極材料であるITOを堆積しパターン化して表示電極24を形成する。

【0016】

【発明が解決しようとする課題】

ところが、加熱処理によりSiN膜14中の水素(H)原子をp-Si膜12に供給するために、SiN膜14はp-Si膜12に近い層に形成する必要がある。しかし、p-Si膜12とSiN膜14とが直接積層されると、SiN膜14中の固定電荷によってp-Si膜12を用いたTFTの閾値が変動してしまうため、p-Si膜12上に直接SiN膜14を設けることはできない。従って、p-Si膜12上にSiO₂膜13を設けた上層にSiN膜14を設けなければならない。そのため、ゲート絶縁膜は2層構造となる。

【0017】

従って、ゲート絶縁膜は下層から順にSiO₂膜13及びSiN膜14の2層から成っていることから、半導体膜にイオン注入する際には2層を通り抜けてp-Si膜12に到達するようにイオン注入の加速エネルギーを上げなければならない。例えばリン(P)を注入する場合には100keV以上の加速エネルギーで注入しなければならない。そのため、注入装置の消費電力が増大してしまうという欠点があった。

【0018】

また、イオン注入の加速エネルギーを高くすると、注入時の基板温度はおよそ200℃にもなってしまう。そうすると、ゲート電極15及びLDD形成領域を覆っているレジスト17がその温度によって劣化してしまい、例えばその周縁がゆがんでしまったりあるいはイオン注入を終えてレジストを除去する際に剥がれにくくなるなどの欠点があった。

【0019】

そこで本発明は、上記の従来の欠点に鑑みて為されたものであり、高加速エネルギーのイオン注入による基板温度の上昇を抑制することが可能なTFTの製造方法を提供することを目的とする。

【 0 0 2 0 】

【課題を解決するための手段】

本発明のTFTの製造方法は、基板上に、半導体膜、第1のゲート絶縁膜、第2のゲート絶縁膜及びゲート電極を順に形成して成る薄膜トランジスタの製造方法であって、前記ゲート電極をマスクとして前記第1のゲート絶縁膜上の第2ゲート絶縁膜をエッチングして除去した後に、更に前記ゲート電極をマスクとして前記半導体膜にイオン注入して加熱処理するものである。

【 0 0 2 1 】

また、本発明のTFTの製造方法は、前記第1のゲート絶縁膜はシリコン酸化膜であり、前記第2のゲート絶縁膜はシリコン窒化膜である薄膜トランジスタの製造方法である。

【 0 0 2 2 】

【発明の実施の形態】

以下に、本発明のTFTの製造方法について説明する。

【 0 0 2 3 】

図1に、本発明にて形成したTFTの断面図を示す。

【 0 0 2 4 】

同図に示すように、従来のTFTの製造方法によって作製したTFTと異なる点は、SiN膜から成る第2のゲート絶縁膜14がゲート電極15をマスクとしてエッチングされてゲート電極15以外の領域においてはSiN膜が設けられていない点である。

【 0 0 2 5 】

図2に本発明のTFTの製造工程断面図を示す。

【 0 0 2 6 】

工程1（図2（a））：石英ガラス、無アルカリガラス等からなる絶縁性基板10上に、絶縁性保護膜であるSiO₂膜11をプラズマCVD法を用いて形成する。そのSiO₂膜11の上にプラズマCVD法にてa-Si膜12を形成する。そして、そのa-Si膜12の表面にXeClエキシマレーザビームを走査しながら照射してアニール処理を行ってa-Si膜12を熔融再結晶化すること

により p-Si 膜 1 2 に改質した後、p-Si 膜 1 2 を島化エッチングする。この p-Si 膜 1 2 が p-Si TFT の能動層となる。

【 0 0 2 7 】

工程 2 (図 2 (b)) : p-Si 膜 1 2 の上に、CVD 法にて、SiO₂ 膜からなる第 1 のゲート絶縁膜 1 3 及び SiN 膜からなる第 2 のゲート絶縁膜 1 4 を全面に形成する。第 2 のゲート絶縁膜 1 4 上に、Cr、Mo などの高融点金属からなる導電材料をスパッタ法を用いて成膜し、ホトリソグラフィ技術及び RIE 法によるドライエッチング技術を用いて半導体膜 1 2 と重畳するようにゲート電極 1 5 を形成する。なお、このゲート電極 1 5 形成と同時に、このゲート電極に繋がっておりゲート信号を供給するゲート信号線も形成する (図示せず)。

【 0 0 2 8 】

工程 3 (図 2 (c)) : ゲート電極 1 5 をマスクとして、第 2 の絶縁膜 1 4 をエッチングして除去し、ゲート電極 1 5 の下のみに第 2 の絶縁膜 1 4 を残す。そして、p-Si 膜 1 2 に対して P 型または N 型のイオン注入 1 6 をする。このイオン注入 1 6 は、形成すべき TFT のタイプに応じて、ゲート電極 1 5 及び第 2 の絶縁膜 1 4 に覆われていない p-Si 膜 1 2 に P 型または N 型の不純物イオンを注入する。従って、ゲート電極 1 5 の下方の p-Si 膜 1 2 には不純物イオンは注入されず真性又は実質的に真性な p-Si 膜 1 2 である。

【 0 0 2 9 】

工程 4 (図 2 (d)) : p-Si 膜 1 2 よりも狭い幅にゲート電極 1 5 及び第 2 の絶縁膜 1 4 を覆うレジスト 1 7 を形成する。その後、このレジスト 1 7 をマスクとしてイオン注入 1 8 を行う。こうして、不純物イオンが低濃度に注入された領域、いわゆる LDD (Lightly Doped Drain) 領域 1 2 LD と、不純物イオンが高濃度に注入された領域、即ちソース 1 2 s 及びドレイン 1 2 d が形成される。

【 0 0 3 0 】

ここで、加熱することにより、注入した不純物が活性化されるとともに、第 2 のゲート絶縁膜 1 4 である SiN 膜中の水素原子が p-Si 膜中に導入されて水素化が図れる。

【0031】

これにより、ゲート電極15の下層のp-Si膜12のうち、ゲート電極15直下はチャンネル12cとなり、ゲート電極15両側の部分がソース12s及びドレイン12dとなる。

【0032】

なお、Pチャネル型のTFTを形成する場合には、ボロン(B)等のP型イオンを注入し、Nチャネル型のTFTを形成する場合には、リン(P)等のN型イオンを注入する。

【0033】

工程5(図2(e)) : そして、レジスト17を除去した後、p-Si膜12を含む基板10全面に、SiN膜19及びSiO₂膜20をプラズマCVD法を用いて順に積層し、SiN膜19及びSiO₂膜20の2層からなる層間絶縁膜を形成する。

【0034】

このSiN膜19及びSiO₂膜20を形成した後、ソース12s及びドレイン12dに対応した位置に層間絶縁膜を貫通する第1のコンタクトホール30をp-Si膜12に到達するよう形成し、この第1のコンタクトホール30部分に、アルミニウム等の金属からなるソース電極21及びドレイン電極22を形成する。

更にその上に、有機樹脂等から成る平坦化絶縁膜23を堆積する。そして、その平坦化絶縁膜23のソース電極21に対応した位置にコンタクトホール32を形成して、そこに透明電極材料であるITOを堆積しパターン化して表示電極24を形成する。こうして、半導体素子であるp-SiTFTが形成される。

【0035】

以上のように、SiO₂膜から成る下層の第1のゲート絶縁膜13とSiN膜から成る上層の第2のゲート絶縁膜14とを積層し、ゲート電極15をマスクとして第2のゲート絶縁膜15をエッチングして除去し、第1のゲート絶縁膜13のみを通してイオン注入を行うので、低加速エネルギーのイオン注入でp-Si膜12にまで注入を行うことができる。

【0036】

また、LDD形成領域を形成するためのイオン注入においては、LDD形成領域を覆うレジストが劣化しない加速エネルギーでイオン注入することができる。

【0037】

そのため、イオン注入装置の消費電力を抑制することができるとともに、イオン注入時のレジストの劣化を防止できる。

【0038】

なお、本実施の形態においては、a-Si膜にレーザを照射してp-Si膜を得て能動層とした場合について説明したが、p-Si膜を直接絶縁性保護膜上にCVD法などによって形成した場合についても同様の効果が得られる。

【0039】

この絶縁性保護膜は基板10としてガラス基板等を用いた場合にナトリウムイオン等がp-Si膜に侵入することを防ぐために形成しているものである。このような不純物侵入が無い基板を用いる場合には絶縁保護膜を用いる必要はない。ただし、基板が絶縁性を示さない基板である場合には絶縁保護膜を形成する必要がある。

【0040】

また、本実施の形態においては、ソース12sに対応して設けたコンタクトホール30にAlを充填してソース電極21を形成し、更にそのソース電極21にコンタクトしてITOから成る表示電極24を形成したが、それに限定されるものではなく、コンタクトホール30にITOを充填してソース12sに直接コンタクトさせて表示電極24としてもよい。

【0041】

また、本実施の形態においては、LDD領域を形成するためのレジストの劣化について説明したが、n型チャネルTFET及びp型チャネルTFETを同一基板に備えたTFETの場合に、一方の型のイオン注入をする際にそのイオンが注入されることを防止するために他方の型のTFETに設けたレジストの場合においても、イオン注入終了後に剥がれにくくなることも防止することができる。

【0042】

更に、T F T特性の向上を図るために、水素原子を多量に含むS i N膜からp - S i 膜に加熱により水素原子を供給するが、少なくともp - S i 膜のうちチャネルに供給されればよい。従って、本発明によれば、ゲート電極直下にのみ残したS i N膜より効率的に水素原子を供給することが可能である。

【 0 0 4 3 】

【発明の効果】

本発明のT F Tの製造方法によれば、イオン注入による基板温度の上昇を抑制することが可能なT F Tの製造方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明のT F Tの製造方法にて作製したT F Tの断面図である。

【図 2】

本発明の製造工程断面図である。

【図 3】

従来のT F Tの製造方法にて作製したT F Tの断面図である。

【図 4】

従来の製造工程断面図である。

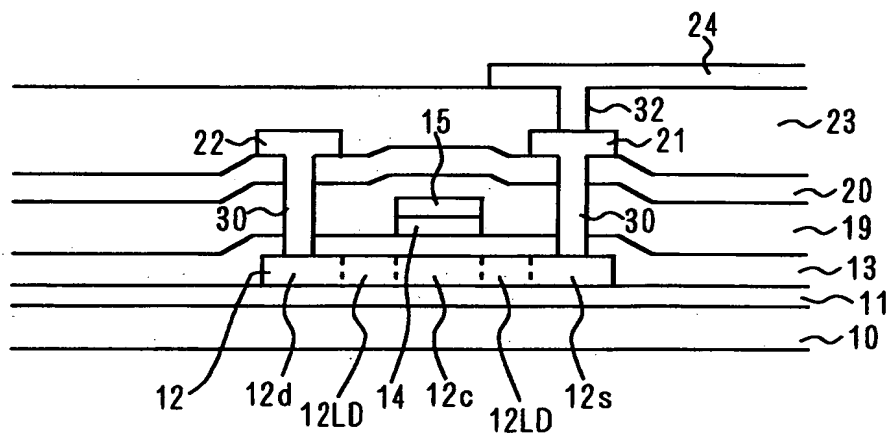
【符号の説明】

1 0	絶縁性基板
1 1	絶縁性保護膜
1 2	半導体膜
1 2 s	ソース
1 2 d	ドレイン
1 2 c	チャネル
1 3	第 1 のゲート絶縁膜
1 4	第 2 のゲート絶縁膜
1 5	ゲート電極
1 6	イオン注入
1 7	レジスト

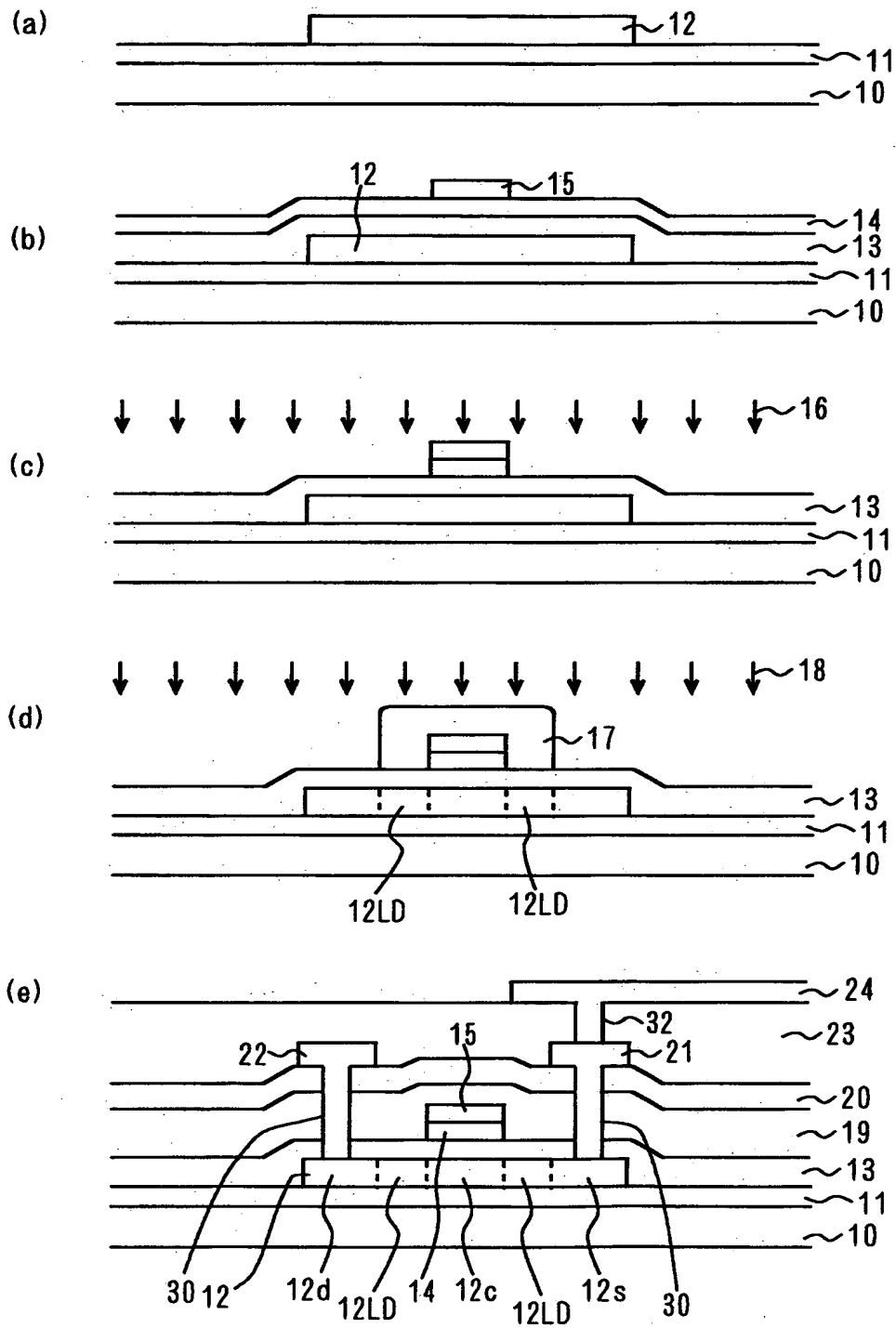
1 8	イオン注入
1 9	第 1 の層間絶縁膜
2 0	第 2 の層間絶縁膜
2 1	ソース電極
2 2	ドレイン電極
2 3	平坦化絶縁膜
2 4	表示電極

【書類名】 図面

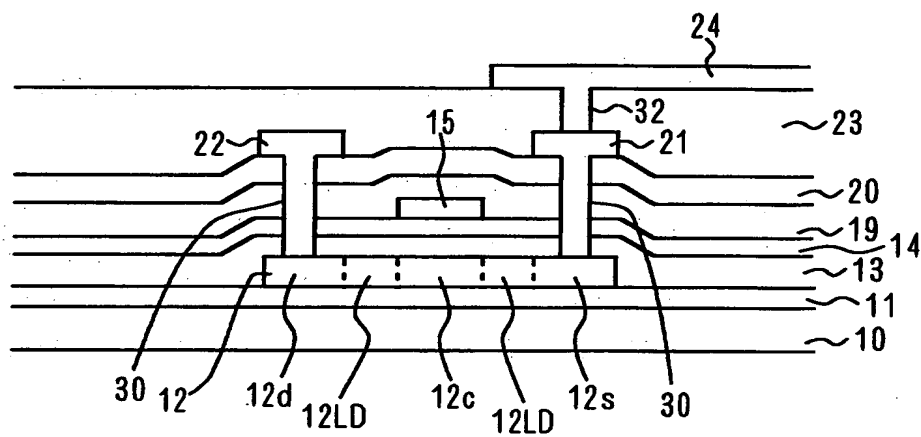
【図 1】



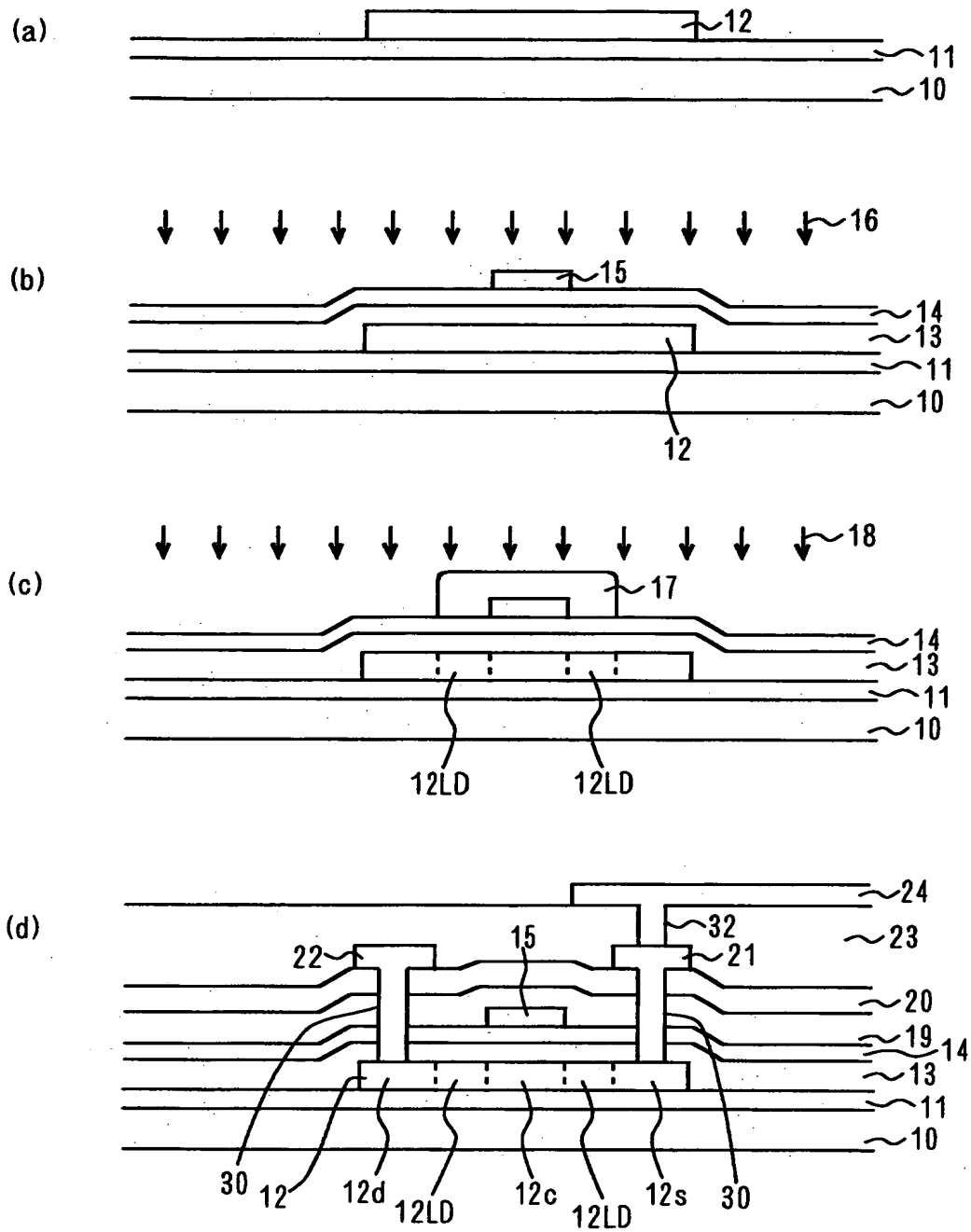
【図 2】



【図3】



【図 4】



【書類名】

要約書

【要約】

【課題】 イオン注入による基板温度の上昇を抑制することが可能なTFTの製造方法を提供する。

【解決手段】 ガラス基板10上に、 SiO_2 膜から成る絶縁性保護膜11を形成し、その上にp-Si膜12から成る能動層12を形成し、その更に上にSiN膜から成る下層の第1のゲート絶縁膜13とSiN膜から成る上層の第2のゲート絶縁膜14とを積層し、その上方のゲート電極15をマスクとして第2のゲート絶縁膜15をエッチングして除去する。そして第1のゲート絶縁膜14のみを通してイオン注入を行うので、低加速エネルギーのイオン注入でp-Si膜12にまで注入を行うことができる。

【選択図】

図1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社